

PAT-NO: JP402100353A

DOCUMENT-IDENTIFIER: JP 02100353 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: April 12, 1990

INVENTOR-INFORMATION:

NAME

KATO, CHIKAYUKI

NISHINO, SEIICHI

YAMADA, JIRO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

N/A

NEC ENG LTD

N/A

APPL-NO: JP63254234

APPL-DATE: October 7, 1988

INT-CL (IPC): H01L023/50, H01L023/12

US-CL-CURRENT: 257/688

ABSTRACT:

PURPOSE: To make a device smaller and light by increasing the ratio accounting for the area of a die pad to the surface of a wiring board with the foregoing area kept constant and then, disposing input/output pads

for external

connection that are about the same number as those which are obtained before

the ratio accounting for the above area to the surface of the wiring board

increases in such a way that they are arrayed in a staggered lattice or in a

parallel lattice.

CONSTITUTION: This device makes the ratio accounting for the area of a die

pad to the surface of a wiring board increase with the foregoing area kept

constant. Input/output pads for external connection that are around the same

number as those which are obtained before the ratio accounting for the above

area to the surface of the wiring board increases are disposed in such a way

that they are arrayed in a staggered lattice or in a parallel lattice. For

example, in addition to forming a wiring circuit on the surface of an insulating substrate 1, in an external connection part, the input/output pads 2 for external connection allow 72 pins to be formed into three columns by a solder DIP system and the like. In other words, in the case where respective pins formed into three columns are put in the same file, each pitch becomes 2.54mm. As an intermediate column is slid at a distance of 1.27mm, pins are formed, on the whole, into a staggered lattice and then its staggered direction is made up so that are 1.27×2 mm pitches. A package is thus made smaller and lighter than that having the pitches 2.54mm.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A) 平2-100353

⑤ Int. Cl.⁵H 01 L 23/50
23/12

識別記号

P

庁内整理番号

7735-5F

⑬ 公開 平成2年(1990)4月12日

7738-5F H 01 L 23/12

P

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭63-254234

⑯ 出 願 昭63(1988)10月7日

⑰ 発 明 者 加 藤 周 幸 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑱ 発 明 者 西 野 誠 一 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 発 明 者 山 田 次 郎 東京都港区西新橋3丁目20番4号 日本電気エンジニア
 ング株式会社内
 ⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
 ㉑ 出 願 人 日本電気エンジニア 東京都港区西新橋3丁目20番4号
 ング株式会社
 ㉒ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置

特許請求の範囲

絶縁基板表面に配線回路を形成し中央部には半導体チップ搭載部を形成した配線基板を有し、前記配線回路と電気的に接続された複数の外部接続用入出力パッドを前記配線基板の裏面に設けた半導体装置において、前記半導体チップ搭載部の面積を一定にしたままこの搭載部面積の前記配線基板表面に占める割合を増加せしめ、前記外部接続用入出力パッドは前記半導体チップ搭載部面積の割合が増加する以前とほぼ同数が千島格子状又は平行格子状に配置されていることを特徴とする半導体装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関し、特にピン・グリッド・アレイ型パッケージを用いた半導体装置に関する。

〔従来の技術〕

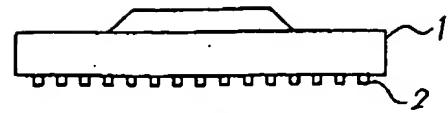
従来、この種の半導体装置は、その一例を第3図の従来の半導体装置の正面図(A)、底面図(B)に示すように、配線回路が形成された絶縁基板1に、外部接続用入出力ピン3が2.54mmピッチで平行格子状に配列されて植立され、実装する場合には、実装基板のスルーホールにこのピンを挿入することによって行うもの、又は、図示していないが、他の例として外部接続用入出力ピン3の代りに半田等の金属を盛り上げてパッドとし、実装する場合には、実装基板の配線パターン上に直接接続させるもの等があるが、いずれにしてもピン又はパッドのピッチが2.54mmの精度であった。

〔発明が解決しようとする課題〕

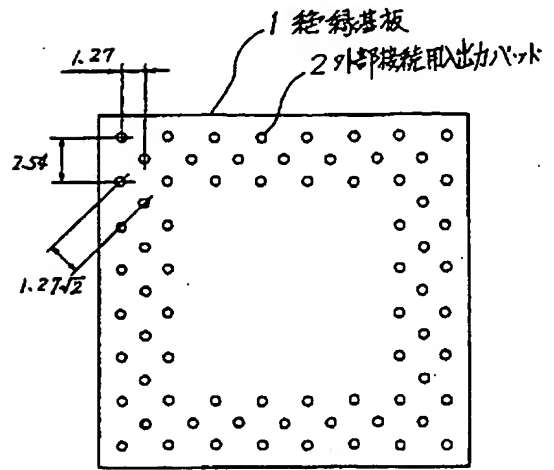
上述した従来の半導体装置は、外部接続部のピン又はパッドのピッチが2.54mmであるため、280ピン、360ピン等と多ピンパッケージになるにつ

3...外部接続用入出力ピン

代理人 弁理士 内 原 賢

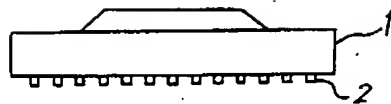


(A)

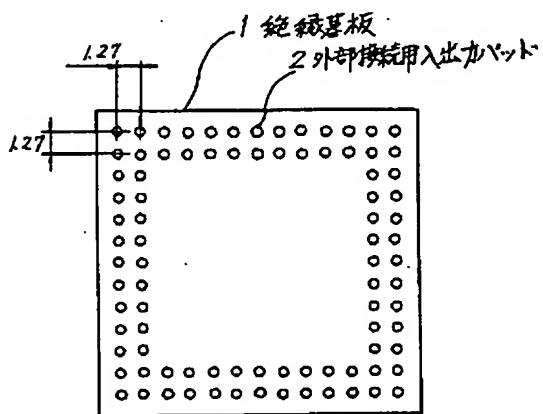


(B)

第 1 図

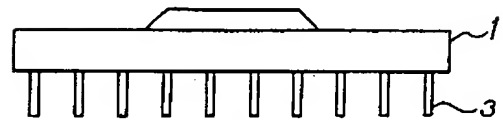


(A)

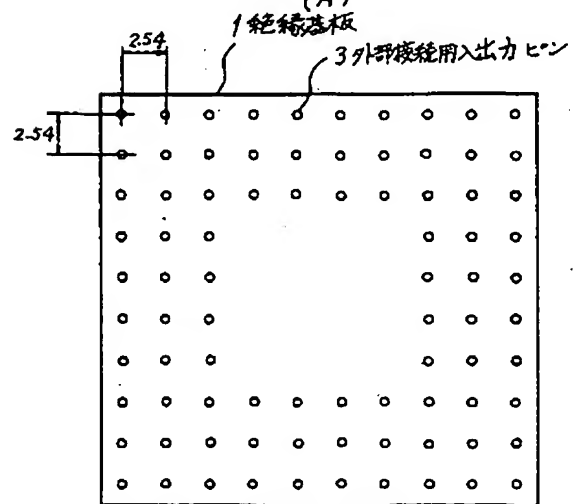


(B)

第 2 図



(A)



(B)

第 3 図